

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-203607

(43)Date of publication of application : 30.07.1999

(51)Int.Cl.

G11B 5/035

H03H 15/00

H03H 17/02

H03H 21/00

H04B 3/06

(21)Application number : 10-001225

(71)Applicant : NEC CORP

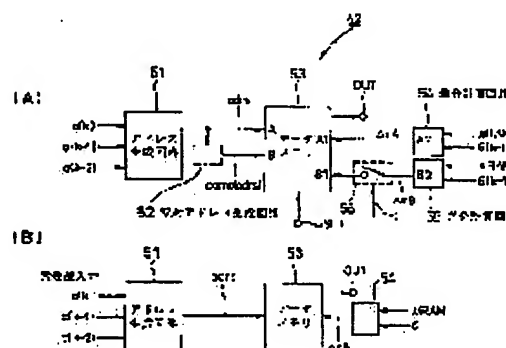
(22)Date of filing : 07.01.1998

(72)Inventor : SHIOKAWA MASAHIITO

**(54) DECISION FEEDBACK TYPE EQUALIZER, ITS EQUALIZING CONTROL METHOD AND RECORDING MEDIUM WHICH RECORDS CONTROL PROGRAM****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To reduce a training time without greatly increasing the circuit size in the decision feedback type equalizer which uses a RAM.

**SOLUTION:** During a training, a data memory 53 shown in (A) updates table retrieval data rA, which are to be updated, as well as data rB, which are specified by addresses camp (adrs) that have a double pair relationship with the addresses adrs of the data rA, using data updating difference computing circuits 54 and 55. After the data rA and rB are converged, a switching is conducted so that the updated results of the data rB are not reinserted into a data memory by a control signal c3 and the training operations continue.

**LEGAL STATUS**

[Date of request for examination]

07.01.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-203607

(43) 公開日 平成11年(1999) 7月30日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

G 1 1 B 5/035

G 1 1 B 5/035

H 0 3 H 15/00

H 0 3 H 15/00

17/02

6 0 1

17/02

6 0 1 D

21/00

21/00

H 0 4 B 3/06

H 0 4 B 3/06

A

審査請求 有

請求項の数6 O L (全 14 頁)

(21) 出願番号

特願平10-1225

(22) 出願日

平成10年(1998) 1月7日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 塩川 雅人

東京都港区芝五丁目7番1号 日本電気株式会社内

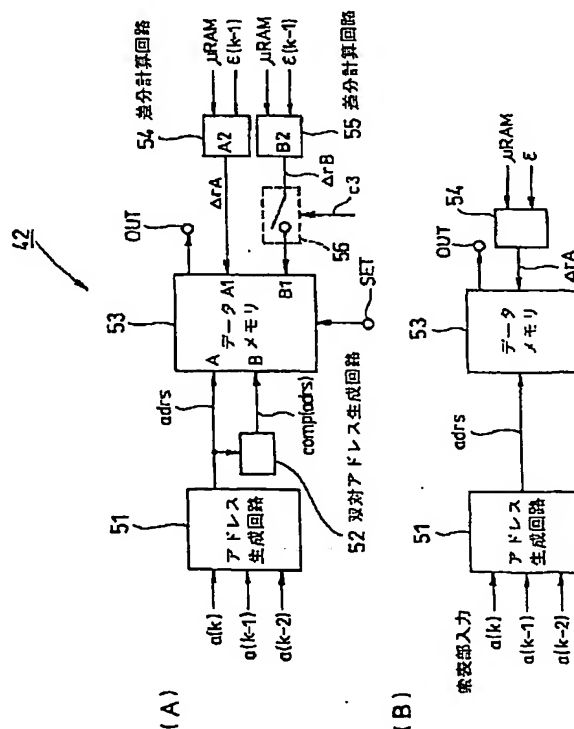
(74) 代理人 弁理士 ▲柳▼川 信

(54) 【発明の名称】 判定帰還型等化器及びその等化制御方法並びにその制御プログラムを記録した記録媒体

(57) 【要約】

【課題】 RAMを用いた判定型帰還等化器において、回路規模の大幅な拡大を招くことなく、トレーニング時間を短縮する。

【解決手段】 トレーニング時、図5(A)に示すデータメモリ53は更新すべき索表部データrAの他に、rAのアドレスadrsとは双対な関係にあるアドレスcomp(adrs)が指すデータrBを、データ更新用差分計算回路54、55を用いて更新する。rA、rBが収束した後、制御信号c3によりrBの更新結果がデータメモリに再代入されなくなるよう切替えを行い、トレーニング動作を続行させる。



## 【特許請求の範囲】

【請求項1】 入力データの波形歪みを等化すべく入力孤立波形の前縁部を等化除去するフィードフォワードフィルタと、前記入力孤立波形の後縁部を等化除去すると共に前記入力孤立波形の非線形歪みを除去するための索表データ格納メモリを有するフィードバックフィルタと、前記フィードフォワードフィルタと前記フィードバックフィルタとの加算信号を生成する加算手段と、この加算信号とトレーニング信号との差信号を生成する減算手段とを含み、この差信号と前記トレーニング信号とを前記フィードバックフィルタへ供給しつつ前記メモリの索表データの更新を行うようにした判定帰還型等化器であって、

更新すべき前記索表データを指定する第一メモリアドレスとこの第一メモリアドレスと双対の関係にある第二メモリアドレスとを生成するアドレス生成手段と、第一のトレーニング動作期間中は、これ等第一及び第二アドレスにより指定される前記メモリの索表データを、互いに絶対値が等しく符号が反対となるように同時に更新制御し、前記差信号の平均値が予め定められた所定閾値に達した時に第一のトレーニング動作を終了して第二のトレーニング動作へ移行してこの期間中は、前記第一メモリアドレスのみにより指定される前記メモリの索表データを更新制御する制御手段と、を含むことを特徴とする判定帰還型等化器。

【請求項2】 前記入力データは磁気ディスクの再生データであり、入力孤立波形は当該再生データの再生孤立波形であることを特徴とする請求項1記載の判定帰還型等化器。

【請求項3】 前記第一のトレーニング動作期間中は、前記トレーニング信号は参照信号発生器からの予め設定されたトレーニング系列の信号であり、前記第二のトレーニング動作期間中は、前記トレーニング信号は前記磁気ディスクのトレーニング領域に予め記録されたトレーニング用データであることを特徴とする請求項2記載の判定帰還型等化器。

【請求項4】 前記第二のトレーニング動作期間終了後には、前記磁気ディスクからの再生データを入力とし、前記加算信号の二値判定信号を等化出力とするようにしたことを特徴とする請求項1～3いずれか記載の判定帰還型等化器。

【請求項5】 入力データの波形歪みを等化すべく入力孤立波形の前縁部を等化除去するフィードフォワードフィルタと、前記入力孤立波形の後縁部を等化除去すると共に前記入力孤立波形の非線形歪みを除去するための索表データ格納メモリを有するフィードバックフィルタと、前記フィードフォワードフィルタと前記フィードバックフィルタとの加算信号を生成する加算手段と、この加算信号とトレーニング信号との差信号を生成する減算手段とを含み、この差信号と前記トレーニング信号とを

前記フィードバックフィルタへ供給しつつ前記メモリの索表データの更新を行うようにした判定帰還型等化器における等化制御方法であって、

第一のトレーニング動作期間中は、

更新すべき前記索表データを指定する第一メモリアドレスと、この第一メモリアドレスと双対の関係にある第二メモリアドレスとを生成するステップと、

これ等第一及び第二メモリアドレスにより指定される前記メモリの索表データを、互いに絶対値が等しく符号が反対となるように同時に更新制御し、前記差信号の平均値が予め定められた所定閾値に達した時に第一のトレーニング動作を終了するステップとを含み、

前記第一のトレーニング動作終了後の第二のトレーニング動作中は、

前記第一メモリアドレスのみにより指定される前記メモリの索表データを更新制御するステップを含むことを特徴とする等化制御方法。

【請求項6】 入力データの波形歪みを等化すべく入力孤立波形の前縁部を等化除去するフィードフォワードフィルタと、前記入力孤立波形の後縁部を等化除去すると共に前記入力孤立波形の非線形歪みを除去するための索表データ格納メモリを有するフィードバックフィルタと、前記フィードフォワードフィルタと前記フィードバックフィルタとの加算信号を生成する加算手段と、この加算信号とトレーニング信号との差信号を生成する減算手段とを含み、この差信号と前記トレーニング信号とを前記フィードバックフィルタへ供給しつつ前記メモリの索表データの更新を行うようにした判定帰還型等化器における等化制御方法のプログラムを記録した記録媒体であって、

第一のトレーニング動作期間中において、

更新すべき前記索表データを指定する第一メモリアドレスと、この第一メモリアドレスと双対の関係にある第二メモリアドレスとを生成するステップと、

これ等第一及び第二メモリアドレスにより指定される前記メモリの索表データを、互いに絶対値が等しく符号が反対となるように同時に更新制御し、前記差信号の平均値が予め定められた所定閾値に達した時に第一のトレーニング動作を終了するステップとを含み、

前記第一のトレーニング動作終了後の第二のトレーニング動作中において、

前記第一メモリアドレスのみにより指定される前記メモリの索表データを更新制御するステップを含むプログラムを記録したことを特徴とする記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は判定帰還型等化器及びその等化制御方法並びにその制御プログラムを記録した記録媒体に関し、特にデータ伝送の受信部やディスク記録装置の再生信号処理部等に使用されて再生データの

歪みを除去する判定帰還型等化器におけるトレーニング動作の改良に関するものである。

【0002】

【従来の技術】データ伝送や記録データの再生等においては、伝送路や記録再生過程での送信信号または記録信号に加わった符号間干渉や非線形歪みを除去して、ビット誤り率を回復させる信号処理が適用される。かかる信号処理方式の例として判定帰還型等化器が使用される。かかる判定帰還型等化器の一つとして、RAM（ランダムアクセスメモリ）を使用したRAMDFE（RAM-Decision-Feedback Equalizer）があり、例えば、Kevin D. Fisher et al., "An Adaptive RAM-DFE for Storage Channels.", IEEE Trans. Commun. Vol.39, No.11, p.1559-1568, Nov.1991に開示されており、このRAMDFEの概略を図16に示している。

【0003】図16を参照すると、入力端子18から供給された再生信号等の入力データはフィードフォワードフィルタ（FF）11へ入力されて再生孤立波形の前縁部が除去され、加算器12の一入力となる。

【0004】この加算器12の他入力には、再生孤立波形の後縁部を除去するフィードバックフィルタ（FB）15の出力が印加されている。この加算出力は判定器13において二値信号に変換されて等化出力となって導出される。この二値信号出力はスイッチ16を介して減算器14の一入力となり、加算器12の加算出力との減算が行われ、誤差成分 $\varepsilon$ が生成される。

【0005】この誤差成分 $\varepsilon$ はデータのビットレートが遅延時間（単位遅延時間）を有する遅延素子10を介して、二値信号出力と共に、フィードバックフィルタ15へ入力されている。このフィードバックフィルタ15において、前述した如く、再生孤立波形の後縁部の除去がなされる。この結果、再生信号中の符号干渉が除去されることになる。

【0006】ディスク記憶装置の記録密度の上昇に伴って、その再生信号は符号間干渉により振幅が減少してSNRが低下するが、この様な高密度記録時における再生信号の劣化が、判定帰還等化方式（DFE）により改善される。

【0007】この時、上述の如く、磁気ディスク再生信号用のDFEを例として考えた場合、近年用いられているMRヘッドの再生信号中には、符号間干渉ばかりではなく非線形成分が存在する。この再生信号中の非線形成分を除去するために、図16におけるフィードバックフィルタ15内のタップ出力の一部または全部を、RAMを用いた素表データにより決定する様になっており、よってRAMDFEと称される所以である。

【0008】かかるRAMDFEでは、再生信号中の非線形歪みを効率良く除去するために、各フィルタやRAMのトレーニング動作が行われる。そこで、図16に示す如く、トレーニング動作中は、スイッチ16を介して

参照信号発生器17よりトレーニング系列（磁気ディスクのトレーニング領域に予めこのトレーニング系列を記録したものを再生して用いることもできる）を減算器14及びフィードバックフィルタ15へ夫々供給する様になっている。

【0009】この様なRAMDFEにおいては、フィードバックフィルタ内のRAMに記録されているデータを通信路の非線形歪みの除去に適した値へ適応制御する動作、すなわちトレーニング動作には、多くの時間を要する。例えば、DFEを構成する判定器13が二値判定を行い、RAMがタップ付遅延線からN個のタップに接続されている時、各RAMは平均2のN乗個のビットが伝送されたうち一度しか更新されないで、長時間のトレーニング動作が必要となる。

【0010】この問題を解決するための従来技術としては、例えば、特開平3-49408号公報に開示の方法が提案されている。図17はこの技術の構成を示すブロック図である。この判定帰還型等化器は、線形歪みのみを除去可能なFIRフィルタ（遅延素子群134、タップゲイン群135、乗算器136及び加算器137）と、非線形歪みも除去可能なRAM回路（シフトレジスタ1311、RAM群1312及び加算器1313）とを有している。

【0011】トレーニング時には、FIRフィルタ中のタップゲイン135が通路歪みを除去する値となる様にタップゲインを適応制御し、タップゲインが収束した後に、これ等タップゲイン制御結果をRAM1312へ夫々書き込み、その後データ伝送を開始する様になっている。

【0012】尚、131はトレーニング動作中に入力信号をFIRフィルタへ供給し、データ伝送処理中は入力信号をRAM回路へ供給するスイッチである。132、139は加算器、133、1310は判定器、138はタップゲイン修正回路、1314はテーブル修正回路を夫々示す。この回路の動作の詳細は特開平3-49408号公報を参照のこと。

【0013】

【発明が解決しようとする課題】図17に示した従来例の問題としては、適切なRAMデータの値を得るまでの時間を短縮することができるが、その代りに、多くのタップゲイン及びその制御手段を新たに準備する必要があり、よって回路規模が大幅に拡大することが挙げられる。

【0014】本発明の目的は、回路規模を増大させることなくRAMデータの収束を高速に行うことが可能なRAMDFE方式の判定帰還型等化器及びその等化制御方法並びにその制御プログラムを記録した記録媒体を提供することである。

【0015】

【課題を解決するための手段】本発明によれば、入力デ

ータの波形歪みを等化すべく入力孤立波形の前縁部を等化除去するフィードフォワードフィルタと、前記入力孤立波形の後縁部を等化除去すると共に前記入力孤立波形の非線形歪みを除去するための索表データ格納メモリを有するフィードバックフィルタと、前記フィードフォワードフィルタと前記フィードバックフィルタとの加算信号を生成する加算手段と、この加算信号とトレーニング信号との差信号を生成する減算手段とを含み、この差信号と前記トレーニング信号とを前記フィードバックフィルタへ供給しつつ前記メモリの索表データの更新を行うようにした判定帰還型等化器であって、更新すべき前記索表データを指定する第一メモリアドレスとこの第一メモリアドレスと双対の関係にある第二メモリアドレスとを生成するアドレス生成手段と、第一のトレーニング動作期間中は、これ等第一及び第二アドレスにより指定される前記メモリの索表データを、互いに絶対値が等しく符号が反対となるように同時に更新制御し、前記差信号の平均値が予め定められた所定閾値に達した時に第一のトレーニング動作を終了して第二のトレーニング動作へ移行してこの期間中は、前記第一メモリアドレスのみにより指定される前記メモリの索表データを更新制御する制御手段と、を含むことを特徴とする判定帰還型等化器が得られる。

【0016】また、本発明によれば、入力データの波形歪みを等化すべく入力孤立波形の前縁部を等化除去するフィードフォワードフィルタと、前記入力孤立波形の後縁部を等化除去すると共に前記入力孤立波形の非線形歪みを除去するための索表データ格納メモリを有するフィードバックフィルタと、前記フィードフォワードフィルタと前記フィードバックフィルタとの加算信号を生成する加算手段と、この加算信号とトレーニング信号との差信号を生成する減算手段とを含み、この差信号と前記トレーニング信号とを前記フィードバックフィルタへ供給しつつ前記メモリの索表データの更新を行うようにした判定帰還型等化器における等化制御方法であって、第一のトレーニング動作期間中は、更新すべき前記索表データを指定する第一メモリアドレスと、この第一メモリアドレスと双対の関係にある第二メモリアドレスとを生成するステップと、これ等第一及び第二メモリアドレスにより指定される前記メモリの索表データを、互いに絶対値が等しく符号が反対となるように同時に更新制御し、前記差信号の平均値が予め定められた所定閾値に達した時に第一のトレーニング動作を終了するステップとを含み、前記第一のトレーニング動作終了後の第二のトレーニング動作中は、前記第一メモリアドレスのみにより指定される前記メモリの索表データを更新制御するステップを含むことを特徴とする等化制御方法が得られる。

【0017】更に、本発明によれば、入力データの波形歪みを等化すべく入力孤立波形の前縁部を等化除去するフィードフォワードフィルタと、前記入力孤立波形の後

縁部を等化除去すると共に前記入力孤立波形の非線形歪みを除去するための索表データ格納メモリを有するフィードバックフィルタと、前記フィードフォワードフィルタと前記フィードバックフィルタとの加算信号を生成する加算手段と、この加算信号とトレーニング信号との差信号を生成する減算手段とを含み、この差信号と前記トレーニング信号とを前記フィードバックフィルタへ供給しつつ前記メモリの索表データの更新を行うようにした判定帰還型等化器における等化制御方法のプログラムを記録した記録媒体であって、第一のトレーニング動作期間中において、更新すべき前記索表データを指定する第一メモリアドレスと、この第一メモリアドレスと双対の関係にある第二メモリアドレスとを生成するステップと、これ等第一及び第二メモリアドレスにより指定される前記メモリの索表データを、互いに絶対値が等しく符号が反対となるように同時に更新制御し、前記差信号の平均値が予め定められた所定閾値に達した時に第一のトレーニング動作を終了するステップとを含み、前記第一のトレーニング動作終了後の第二のトレーニング動作中において、前記第一メモリアドレスのみにより指定される前記メモリの索表データを更新制御するステップを含むプログラムを記録したことを特徴とする記録媒体が得られる。

【0018】本発明の作用を述べる。磁気ディスク再生信号には非直線歪みが含まれており、この非直線歪みを除去すべくフィードバックフィルタのRAMには索表データが格納されており、この索表データを非直線歪みの除去に適した値に適応制御するためのトレーニング動作時に、先ず最初において、RAMの更新すべき索表データを指定するアドレスを生成する時、このアドレスの他に、このアドレスと双対の関係にあるアドレスをも同時に生成し、これ等2つの互いに双対の関係のアドレスにより指定される索表データを、互いに絶対値が等しく符号が反対になる様に同時に更新する。

【0019】そして、トレーニング動作時における等化誤差信号の平均電力値が予め定められた閾値に達した時に、このトレーニング動作を終了する。その後、第2のトレーニング動作として、従来と同様に、1つの更新アドレスによってのみ索表データの更新を行う様にするのである。

【0020】こうすることにより、最初の第1のトレーニング動作によって、RAMの索表データは波形歪みのうち線形的歪みの除去が可能な値となっており、この値から非直線歪みを除去する値への索表データの適応制御に必要な時間は短くなり、よって第2のトレーニング動作は短時間で良くなる。その結果、全体のトレーニング時間は従来のその約半分に短縮されることになる。

【0021】

【発明の実施の形態】以下に、図面を参照しつつ本発明の実施の形態につき詳述する。

【0022】本発明の具体的な実施例を説明するに先立って、先ず本発明の原理について、磁気記録再生装置の再生信号をRAMDFEにより処理する場合を例に用いて説明することにする。

【0023】ここで、図12を参照すると、磁気記録再生信号の孤立波形が示されており、磁気記録再生信号はこの孤立波形が重畳されたものとなる。この様な重畳が行われると、符号間干渉の影響によって信号電力が減少するので、再生波形からピーク検出や閾値判定等による記録ビットの判定が困難となる。そこで、再生波形をRAMDFEへ入力して符号間干渉を除去するのである。

【0024】この場合、RAMDFEを構成するフィードフォワードフィルタ(FF)11やフィードバックフィルタ(FB)15(図1、図16参照のこと)の各特性は、RAMDFEの入力再生信号 $h(k)$ が図12の様な孤立波形の時に、FF11及びFB15の各出力が図13の $f(k)$ 及び $g(k)$ となる様に夫々定める。

【0025】この結果、RAMDFEの出力 $z(k)$ は図13に示す様なステップ状の波形となるので、信号レベル0を閾値レベルとすることによって、判定器13においてビットの $\{\pm 1\}$ が判定可能となる。

【0026】ところで、実際の磁気ディスク再生信号(図13の $f(k)$ )には非線形歪みが含まれていることがある。後述する図4のFB内に設けられた索表部は、この再生信号中の非線形歪みを除去するために設けられている。後述する図1のFB15内のRAMからなる索表部は入力信号 $a(k)$ 、 $a(k-1)$ 、 $a(k-2)$ を受けて信号 $v$ を出力する。この際の入力信号 $a(k)$ 、 $a(k-1)$ 、 $a(k-2)$ はいずれも+1か-1のいずれかの値をとる(これは前記入力信号が閾値判定器13の出力値だからである)。

【0027】従ってこれ等三個の入力信号の組合せは、図14(A)に示す様に8通りある。この8通りの各入力信号の組合せに対して、RAM索表部は、図14

(A)のdataの列に示した値を信号 $v$ として出力する。data列に示した8個の値は、各時刻における等化誤差 $\varepsilon$ を基にして定められ、再生信号 $f(k)$ に含まれる非線形歪みを除去する値になっている。図14

(A)のadrsは索表部のアドレスであり、8個の入力値

$$rA(adrs) \leftarrow rA(adrs) - \mu RAM \cdot \varepsilon \cdots (1)$$

$$rA(7-adrs) \leftarrow rA(7-adrs) + \mu RAM \cdot \varepsilon \cdots (2)$$

の式に従って逐次更新される。

【0033】ここで各式の $rA(adrs)$ はアドレスadrsに格納されている索表部データである。図14(B)より、トレーニング動作1の初期には索表部の各データはどれも0が格納されている。すなわち全てのadrsに対して $rA(adrs) = 0$ である。

【0034】最初の索表部への入力信号が仮に( $a(k)$ 、 $a(k-1)$ 、 $a(k-2)$ ) = (+1, -1, -1)であったとする。この入力信号の組に対応するア

の組合せに対して0から7まで付した数字である。

【0028】ちなみに、図14(A)のdataは、実は、再生信号中の孤立波の非対称率が20%となる様な非線形歪みに対して、それを除去する様に定められている。また、以後、アドレスの中央位置(図14(A)ではアドレス3と4の間)に対して対称な位置になるアドレスを、互いに双対アドレスと呼ぶことにする。図14(A)では、アドレス0はアドレス7の双対アドレスである。

【0029】さて、図14(A)において、adrsが0と7夫々のdata: -0.39と0.18は、絶対値が比較的近くかつ符号が逆になっている、adrsが1と6、2と5、3と4夫々のdataについても同様である。すなわち、非線形歪みを除去するためには適切な索表部データは、「互いに双対アドレスの関係にある二個のアドレスのデータは、絶対値が比較的近く符号が逆になる」という性質をもつ。

【0030】そこで、このアドレスとデータの値の関係を利用して、図14(A)のデータを得るまでに必要なトレーニング動作の所要伝送ビット数を減少させることを考える。ここでトレーニング動作とは、RAMDFEの特性を、現在の記録再生条件に対して、ビット誤りの発生確率が最小となる特性へ近付けるための動作である。これはディスクからの再生信号をRAMDFEによって処理させることにより行う。

【0031】但し、トレーニング時のディスク再生信号はあくまでもダミーの(ユーザからは利用されない)信号である。ディスクのユーザにとって必要なデータはトレーニング動作が終了してから再生する。トレーニング動作中に再生・伝送されるデータはユーザには利用されないので、このトレーニング動作がより短いデータによって行われれば、再生時間の短縮と記録データの増大につながる。

【0032】本発明では、トレーニング動作をトレーニング動作1とトレーニング動作2とに分ける。以下、先ずトレーニング動作1を説明する。トレーニング動作1の開始時点では、索表部のデータへは図14(B)に示したデータがセットされる(全ゼロ)。トレーニング動作1が開始されると、索表部のデータは

ドレスは1なので、この時刻にはアドレス1及びその双対アドレス6に関し夫々上記式(1)、(2)の操作が行われる。すなわち、

$$rA(1) \leftarrow rA(1) - \mu RAM \cdot \varepsilon$$

$$rA(6) \leftarrow rA(6) + \mu RAM \cdot \varepsilon$$

なる式に従って処理される。

【0035】これ等の式は、互いに双対アドレスの関係にあるアドレスのデータが、同一の値 $\mu RAM \cdot \varepsilon$ だけ互いに(正負の符号に関して)逆向きに更新されること

を示している。この索表部データの更新操作を繰り返していくと、索表部データは図14(C)に様になり、しかもその後8個の索表データは収束しほとんど変化しなくなる。

【0036】図14(C)から分かる様に、互いに双対アドレスの関係にある二個のアドレス夫々のデータは、符号が逆で絶対値が等しくなっている。ここまですがトレーニング動作1である。

【0037】次にトレーニング動作2を行う。トレーニング動作2における索表部データの初期値は、トレーニング動作1の終了時点における図14(B)の索表部データである。トレーニング動作2においては、索表部データは式(1)だけに従って逐次更新される。この結果索表部データは、最終的に表1に示すデータに収束する。データの収束が見られたらトレーニング動作2を終了させる。

【0038】実はトレーニング動作2はRAMDFEにおける従来のトレーニング動作そのものである。しかしその前にトレーニング動作1を行っておくことが本発明の要点である。トレーニング動作1を予め行っておくことにより、非線形歪みを除去するために必要な索表部データを、トレーニング動作2だけでトレーニングを行う場合に比べて、短い時間で得ることができる。

【0039】その理由は、トレーニング動作1の説明の所で示した様に、トレーニング動作1においては一時刻に二個の索表部データを更新するからである。そして索表部データを、最終的な目標である図14(A)のデータへ近付けておく。この後にトレーニング動作2を行い、非線形歪みを除去する値へ索表部データを更に近付ける。トレーニング動作2では一時刻に一個の索表部データしか更新しないが、トレーニング動作1によって索表部データは既に図14(A)のデータに近い値となっているので、トレーニング動作2に要するデータ長は短くて済む。

【0040】逆にトレーニング動作1だけを行っていたのでは、索表データを非線形歪を除去する図14(A)のデータへ収束させることはできない。トレーニング動作1の後に、各時刻において一個だけのアドレス内データを更新する動作(トレーニング動作2)を行って、索表部への三個の入力信号の組合せ(8通り)夫々にふさわしい索表部出力を、各入力信号の組合せ毎に個別に求めることが必要なのである。

【0041】トレーニング動作全体としてみれば、先ず大きな速度の収束によって、索表部データを図14(B)のデータから(C)のデータへ更新し、更に細かな調整を従来のトレーニング動作により行って、(C)のデータから(A)のデータへ更新していることになる。これは最終的な目標である(A)のデータの、「互いに双対アドレスの関係にある二個のアドレス内のデータは、符号が逆で絶対値に近い値となる」という性質を

利用している。

【0042】以上の原理を踏まえて、以下に本発明の実施例を説明する。図1は本発明の実施例の全体ブロック図であり、図16と同等部分は同一符号により示している。図1は図16のRAMDFEと実質的に同一であるが、図1では、制御部20と収束判定器26とを付加して示している。

【0043】前述した如く、記録装置のディスク記録信号を再生処理する前に、先ずトレーニング動作を行うが、本発明ではトレーニング動作をトレーニング動作1及び同2の二段階に分ける。先ずトレーニング動作1が行われ、次に同2が行われる。

【0044】トレーニング動作1の開始前に、制御部20は制御信号c1により参照信号発生器17にトレーニング系列を発生させる。また制御部20は制御信号c2によりスイッチ16を端子1Bへ接続する。更に制御部20は制御信号c3によりFB15内のスイッチ56

(図5)をON状態とする。更に、トレーニング動作1の開始前にFF11にはディスク再生波形の単位パルスの前縁部の電力を削除する様な伝達特性を設定する。また、FB15には、再生波形のFF11の応答波形の後縁部電力を削除する様な伝達特性を設定する。

【0045】以上の制御部からの制御及びFF、FBの伝達特性の設定を行った後、図1において、FF11にはDFE入力端子からディスク再生信号h(k)が入力される。ここにkは再生ビット毎に付される時刻を表す。FF11においてh(k)には孤立波形の前縁部電力が削除される様な処理が施される。FF11の出力信号f(k)はFB15の出力信号g(k)と加算されz(k)となる。

【0046】等化誤差計算回路14ではz(k)とトレーニング用系列a(k)から等化誤差εを計算し、これをFF11及びFB15へ出力する。FF11及びFB15では、εを誤差信号として各フィルタの伝達特性が周知のLMSアルゴリズムによって制御される。トレーニング動作1の時、図1において、参照信号発生器17はディスクのトレーニング領域に記録された系列と同一のパターン系列{a(k)}を出力し、端子1Bからはトレーニング用参照信号が等化誤差計算回路14及びFB15へ入力される。

【0047】等化誤差計算回路14では、a(k)-z(k)の計算結果をε(k)として遅延素子10へ出力する。従って、等化誤差ε及びFBへの入力信号は、判定器13で理想的な(判定誤りの無い)判定が行われた場合の値となる。この結果、各フィルタの伝達特性は、初期設定された特性から等化誤差ε(k)の電力の平均が最小となる特性へと適応的に変更される。

【0048】トレーニング動作1はFBの伝達特性を目標の特性へ収束させるまでの時間を短縮させるために行う。このためトレーニング動作1では本発明によるFB



の伝達特性の制御が行われる。FBが行う伝達特性の制御動作の説明は、FBの実施例の説明と共に行う。

【0049】トレーニング動作1は、図1の収束判定器26が収束の完了を判定するまで行われる。トレーニング動作1の完了の目安として収束判定器26は自己に設定されている閾値 $\epsilon$ 1を利用する。収束判定器26は収束の完了を判定すると、制御信号C4によりトレーニング動作1の終了を制御部20へ知らせる。この後、トレーニング動作2が行われる。

【0050】トレーニング動作1の終了後、トレーニング動作2の開始前に、図1において、制御部20は制御信号c3によりFBを制御し、FBが従来のRAMDFEと同一の動作をするように図5のFB内部のスイッチ56をOFF状態へ切替える。トレーニング動作2の間も、図1のスイッチ16は端子1B側に接続されたままとする。この後トレーニング動作2を開始すると、FBの伝達特性は再生信号に含まれる非線形歪みを除去する特性へと収束する。

【0051】トレーニング動作2はトレーニング用データの再生終了するまで行われる。トレーニング用データの再生が終了したら、制御部20は制御信号c1により参照信号発生器17にトレーニング系列 $\{a(k)\}$ の生成を中止させ、c2によりスイッチ16を端子1A側へ接続する。但しc3は変更されずFBはトレーニング動作2と同様の動作状態を維持する。

$$w(j) \leftarrow w(j) + h(k-j) \cdot \mu_{FF} \cdot \epsilon \cdots (3)$$

$$j = 0, \dots, 4$$

$$u(j) \leftarrow h(k-j) \cdot w(j) \cdots (4)$$

に示した計算が行われその計算結果 $u(j)$ が図2の加算器22へ出力される。 $\mu_{FF}$ の値は $1E-3$ 以上 $1E-1$ 以下程度の範囲から、収束速度とDFE出力信号値の安定性を勘案して決定される。

【0056】図4に、本発明を実現するFBの具体例を示す。FBは遅延素子41、索表部42、タップ係数乗算器43、4入力の加算器44から構成される。同図においてFB入力信号 $a(k)$ が端子46から入力される。遅延素子41の機能により $a(k-1)$ 、 $a(k-2)$ 、 $\dots$ 、 $a(k-6)$ が各時刻 $k$ において保持され、

$$b(j) \leftarrow b(j) + a(k-j) \cdot \mu_{FB} \cdot \epsilon \cdots (5)$$

$$j = 3, 4, 5$$

$$v(j) \leftarrow a(k-j) \cdot b(j) \cdots (6)$$

に従ってタップ係数 $b(j)$ の更新及び出力信号 $v(j)$ 、 $j=3$ の生成が行われる。

【0058】次に、本発明を構成するFB内索表部を図5から9までを用いて詳細に説明する。図5(A)に、図4の索表部42の構成を示す。同索表部はアドレス生成回路51、双対アドレス生成回路52、データメモリ53、差分計算回路54、55からなる。三個のFB入力信号 $a(k-1)$ 、 $a(k-2)$ 、 $a(k-3)$ はアドレス生成回路51へ入力され、ここで前記各信号値の

【0052】これらの設定により、図1の判定器13の出力信号 $\{a^-(k)\}$ が等化誤差計算回路14及びFB15へ出力されるようになる。その後、図1のDFEはディスクのデータ領域の信号を処理し、本発明のRAMDFEは処理後の信号として $a^-(k)$ を出力端子19から出力する。

【0053】図2に、図1のFF11の具体例を示す。FFは遅延素子21、加算器22、タップ係数乗算器23から構成され、遅延素子21及びその前段から合計5個のタップが延び、夫々のタップにタップ係数乗算器23が接続される。

【0054】各タップ間の信号遅延量は1ビットが伝送される時間間隔であり、時刻 $k$ において各タップ係数乗算器へは左から $h(k)$ 、 $h(k-1)$ 、 $\dots$ 、 $h(k-4)$ が入力される。図2の構成は従来のDFEに用いられるFFの構成と同一の適応制御機能を持ったFIRフィルタである。また、FF11は前記トレーニング動作1、同2またはユーザデータの処理期間中に問わず同一の動作を行う。

【0055】図3に、図2のタップ係数乗算器23の内部の構成を示す。タップ係数乗算器23には再生信号 $h(k-j)$ 、 $j=0, \dots, 4$ の他に収束速度係数 $\mu_{FF}$ 、等化誤差 $\epsilon$ が入力される。これらから図3の加算器12、乗算器31、1ビット時間遅延素子32によって

これらのうち $a(k-4)$ 、 $a(k-5)$ 及び $a(k-6)$ は各々の三個のタップ係数乗算器43へ、 $a(k-1)$ 、 $a(k-2)$ 及び $a(k-3)$ は索表部42へ入力される。また、以下ではユーザデータの再生時には $a(k)$ を $a^-(k)$ に読替える。

【0057】FB15内の三個のタップ係数乗算回路43は、図3の $\mu_{FF}$ を $\mu_{FB}$ に、 $h(k)$ を $a^-(k)$ または $a(k)$ に、 $w(j)$ を $b(j)$ に読替えたものである。従って、図4の各タップ係数乗算器では、図2のタップ係数乗算器と同様、

組合せに対応したアドレスが生成される。

【0059】 $\{a(k)\}$ 、 $\{a^-(k)\}$ は夫々参照信号発生器、閾値判定器の出力を指し、これ等は共に二値信号である。この実施例では、アドレス生成回路への入力信号線数は3なので、アドレス数は8となる。アドレス生成回路では入力信号値を $\{\pm 1\}$ とし、これ等の値とアドレスとの関係を図14の様に定める。尚、図5(B)に従来の索表部のブロック図を参考までに示している。



【0060】図14の $adrs$ の値0, ..., 7がアドレス生成回路51からデータメモリ53及び双対アドレス生成回路52の両方へ出力される。双対アドレス生成回路52では同回路への入力信号 $adrs=X$ に対して $comp(adrs)=7-X$ を出力する。 $comp(adrs)$ は、 $adrs$ に対応する三個のFB入力信号の組 $a(k)$ ,  $a(k-1)$ ,  $a(k-2)$ がある時、「それら全ての信号を反転(+1→-1, -1→+1)させて得られる信号の組」に対応するアドレスになっている。例えば、 $(a(k), a(k-1), a(k-2))=(-1, +1, -1)$ の時 $adrs=2$ ,  $comp(adrs)=5$ となる。

【0061】 $adrs$ 及び $comp(adrs)$ はデータメモリ53へ出力される。データメモリ53は8個のRAMデータを保持し、このうち更新すべきRAMデータを差分計算回路A53及び同B54と共に制御する役割を果たす。以下、データメモリ53の詳細な説明を図6を参照して行う。

【0062】図6にデータメモリの構成を示す。データメモリはRAM61、データ選択回路62、二個のアドレス選択回路63a, 63b、加算器67、選択器68から構成される。トレーニング動作1を開始する前に、図6のSET端子からRAM61へ適切なRAMデータの初期値8個が入力される。RAMに格納されたこれ等RAMデータ初期値を $data0$ , ...,  $data7$ とする。夫々のRAMデータはこの順でアドレス0, 1, ..., 7に相当するRAMデータである。また制御信号 $c3$ により図5のスイッチ56をON状態とし、B2端子からの入力信号がアドレス選択回路63bへ入力される様にしておく。

【0063】トレーニング動作1が開始されると、図6でRAM61内の各データはデータ選択回路62へ同時に出力される。データ選択回路62は、ADRS端子から入力されるアドレスである $adrs$ に対し、前記アドレスと一致するアドレスに格納されていたRAMデータだけを通過させ、それらをDout端子からFB出力としてOUTへ出力する。

【0064】図6のアドレス選択回路63a, 63b夫々へは、端子A2, B2からRAMデータの差分データ $\Delta rA$ ,  $\Delta rB$ が入力される。トレーニング動作1の間は、図5のスイッチ56は制御信号 $c3$ によりON状態とされる。選択回路63a, 63bでは $\Delta rA$ ,  $\Delta rB$ を端子D0out, ..., D7outのいずれかへ振り分けられ振り分け選択器68へ出力する。振り分けられた端子以外の端子からは、ローレベルの信号が選択器68へ出力される。

【0065】各選択器68の各々への二個の入力線の信号レベルの組合せとしては、両方がローレベルである場合と、一方がローレベルでもう一方が差分データである場合とが存在する。前者の場合には、選択器68は加算器67へローレベルを出力し、後者の場合には選択器68は自身へ入力された差分データを出力する。各加算器

67は選択器68から入力された各信号とRAMデータ $data0$ , ...,  $data7$ とを加え、その結果をRAMへ再代入する。

【0066】次にデータ選択回路62、アドレス選択回路63a, 63bの構成を図7, 8を参照して説明する。図7に、データ選択回路62の内部構成を示す。比較器71へは、ADRS端子よりアドレス{0, ..., 7}が入力される。比較器71は自身への入力値が互いに等しい場合にはハイレベルをゲート72へ出力し、そうでなければローレベルをゲート72へ出力する。

【0067】また、図7でD0in, ..., D7in 夫々の端子からはRAMデータ $data0$ , ...,  $data7$ がゲート72へと入力される。素子71からゲート72への信号線がハイレベルである時、ゲート72は入力されたRAMデータを通過させ選択器73へ出力する。素子71から素子72への信号線がローレベルである時、素子72は素子73へローレベルを出力する。この結果、素子73への入力線のレベルは一つだけがRAMデータのレベルとなり残りの信号レベルはローレベルとなる。素子73はこれ等入力レベルの中からRAMデータのレベルだけを出力する。

【0068】図7の全体の機能は、入力された8個のRAMデータから、ADRS端子より入力されたアドレスが指すRAMデータを選択し、前記データをDout端子から出力するものである。

【0069】図8に、アドレス選択回路63a, 63bの構成を示す。両者の構成は同一である。ここでは63aについて説明する。アドレス選択回路63aではADRS端子から更新すべきRAMデータを指すアドレス $adrs$ が、Din端子からRAMデータの差分データ $\Delta rA$ が夫々入力される。 $adrs$ は比較器74へ入力され、ここでは各比較器のもう一方の入力線に設定されているアドレス{0, ..., 7}と比較される。

【0070】二個の入力の値が一致した比較器74はゲート75へハイレベルを、そうでない比較器74はゲート75へローレベルを出力する。ゲート75は比較器74からの信号がハイレベルならばDin端子から入力された差分データをそのまま出力し、さもなければローレベルを出力する。アドレス選択回路のうち63bは63aの説明で $adrs$ を $comp(adrs)$ に、差分データ $\Delta rA$ を $\Delta rB$ に夫々読替えた動作を行う。

【0071】また、図7, 8に示した各選択回路はトレーニング動作1, 2、データ再生時のいずれの動作時においても、RAMデータの初期設定手順を除き上記と同一の動作を行う。

【0072】図9(A), (B)の各々に差分計算回路54, 55の構成を示す。図9(A)では収束速度係数 $\mu_{RAM}$ と等化誤差 $\epsilon(k-1)$ との積が計算され、 $\Delta rA$ として端子A2からデータメモリ53のA1端子へ出力される。図9(B)では収束速度係数 $\mu_{RAM}$ と等化

誤差  $\varepsilon(k-1)$  との積に更に  $-1$  が乗算され、これが双対アドレスが指す RAM データの差分  $\Delta rB$  として端子 B 2 からデータメモリ 53 の B 1 端子へ出力される。これ等の動作はトレーニング動作時、記録データ再生時のいずれにおいても同様に行われる。

【0073】図5のスイッチ56はトレーニング動作2及びデータ伝送時には OFF 状態となる。従って図9(B)で作られる差分信号  $\Delta rB$  はトレーニング動作2及びデータ伝送時においてはアドレス選択回路63(b)へ入力されず、双対アドレス  $comp(adrB)$  が指す RAM データは更新されない。

【0074】収束判定器26の構成を図10に示す。収束判定器26には等化誤差  $\varepsilon(k)$  が入力され、 $\varepsilon(k)$  の電力の平均値からトレーニング動作1の完了を判定する。トレーニング動作1が完了したら収束判定器26は例えば制御信号 c 4 をハイレベルにする等によって制御部20へその旨を通知する。

【0075】次に、収束判定器の動作を説明する。収束判定器26へ入力された等化誤差  $\varepsilon(k)$  から、二乗値計算器101、遅延素子102の列及び加算器103によって  $\varepsilon(k)$  の二乗値の平均値  $EP\varepsilon(k)$  が計算される。 $EP\varepsilon(k)$  は加算器103から出力される。この出力値は等化誤差電力の移動平均になっている。

【0076】ここで、遅延素子102は自己への入力値を一ビットの伝送時間だけ遅延させて出力する素子である。遅延素子102の数は10から20タップ程度とする。 $EP\varepsilon(k)$  は FF 及び FB のタップ係数が各トレーニング動作においてどれ程までに収束の状態へ近付いたか、その目安となる。タップ係数が収束すると、伝送ビット数  $k$  の増加に対して  $EP\varepsilon(k)$  はほとんど減少しなくなる。この様子を図11に示している。

【0077】図11は横軸を伝送ビット数とした時の等化誤差  $\varepsilon(k)$  の電力の移動平均  $EP\varepsilon(k)$  の推移の一例である。トレーニング動作1の開始時点から  $k$  が増大するに従い  $EP\varepsilon(k)$  は減少していく。ところが、 $k=10$  から15ビット程度において  $EP\varepsilon(k)$  は下げ止まっている。これは、FF、FBのタップ係数が  $k=10$  から15ビット程度において収束したことを示している。

【0078】図10に戻り、加算器103から出力された  $EP\varepsilon(k)$  は次にスイッチ104へ入力される。スイッチ104は、通常は OFF 状態だが、5ビット伝送される毎に一度だけ ON 状態となる動作を行う。トレーニング動作の間の収束動作が急速に行われる場合には、スイッチ104を ON とする間隔をより短くすることによってトレーニング動作1の所要伝送ビット数を短縮できるが、以下ではスイッチ104を ON とする間隔を5ビットとして説明を続ける。

【0079】スイッチ104の出力信号は5ビット遅延素子105、演算器106によって5ビットの間隔をお

いて順に、 $EP\varepsilon(5) - EP\varepsilon(0)$ 、 $EP\varepsilon(10) - EP\varepsilon(5)$ 、 $EP\varepsilon(15) - EP\varepsilon(10)$ 、…となる。ここで遅延素子105には初期値として  $EP\varepsilon(k)$  に比べ十分大きな値を設定しておく。

【0080】減算器106の出力信号は閾値判定器107へ入力される。閾値判定器107には閾値として  $\varepsilon_1$  が設定されており、閾値判定器への入力信号が  $\varepsilon_1$  より小さくなった時に同出力信号 c 4 はハイレベルとなる動作を行う。閾値判定器のデフォルト出力はローレベルに設定しておく。

【0081】今、トレーニング動作1において、  
 $k=5$  :  $EP\varepsilon(0) - EP\varepsilon(5) > \varepsilon_1$ ,  
 $k=10$  :  $EP\varepsilon(5) - EP\varepsilon(10) > \varepsilon_1$ ,  
 $k=10$  :  $EP\varepsilon(10) - EP\varepsilon(15) < \varepsilon_1$   
 が成立したとする。

【0082】この時  $k=15$  において初めて閾値判定器出力 c 4 がハイレベルとなる。図1において収束判定器26から出力された制御信号 c 4 は制御部20へ入力される。制御部20はハイレベルとなった c 4 を受け取ると、トレーニング動作1を終了させるために制御信号 c 3 により図5のスイッチ56を OFF 状態とする。以上が、トレーニング動作1において FF、FB の収束を検出したトレーニング動作1を終了させるための収束判定器26の動作である。

【0083】尚、図11において、トレーニング用データは今の場合20ビット記録されているとしている。図11のグラフの下に示した様に、トレーニング動作1が終了したら、残りのトレーニング用データ(5ビット)を再生しながら、トレーニング用データの再生が終了するまで、トレーニング動作2が行われる。トレーニング動作2における FB 内 RAMDFE は従来と同様の動作を行う。

【0084】トレーニング動作2は再生信号中の非線形歪みを削除する様な値へ RAMDFE 内データを収束させるための動作であった。データの収束に伴い、トレーニング動作2の開始後は、図11に示す様に、更に  $EP\varepsilon(k)$  は減少し、更にこの減少は頭打ちとなる。トレーニング動作2の最中において収束判定器は動作しない。また、トレーニング用再生データの長さ(今の場合20ビット)としては、予測されるトレーニングビット数よりも若干長いビット数を媒体上に記録しておく。

【0085】次に、本発明の実施例の動作手順を図15のフローチャートに基づき説明する。次の(1)、(2)、…(9)の順で動作する。

【0086】トレーニング動作1；

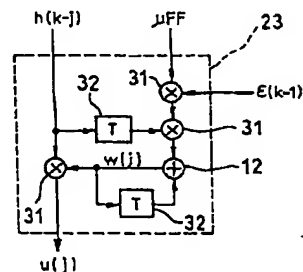
(1) 図1の制御信号 c 2 によりスイッチ16を端子1Bへ接続する(ステップS1)。

【0087】(2) 図1の制御信号 c 1 により参照信号発生器17からトレーニング系列を発生させる(ステップS2)。

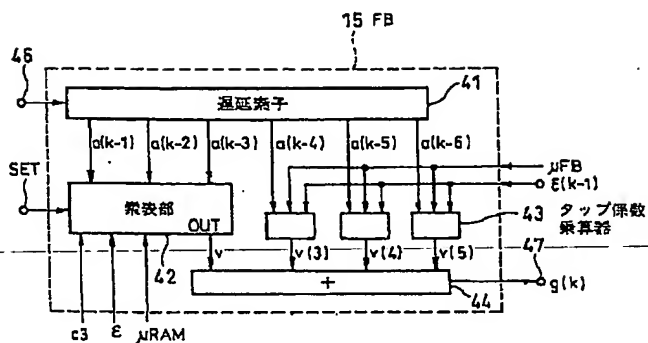
【図4】 フィードバックフィルタの説明図である。

54, 55 差分計算回路

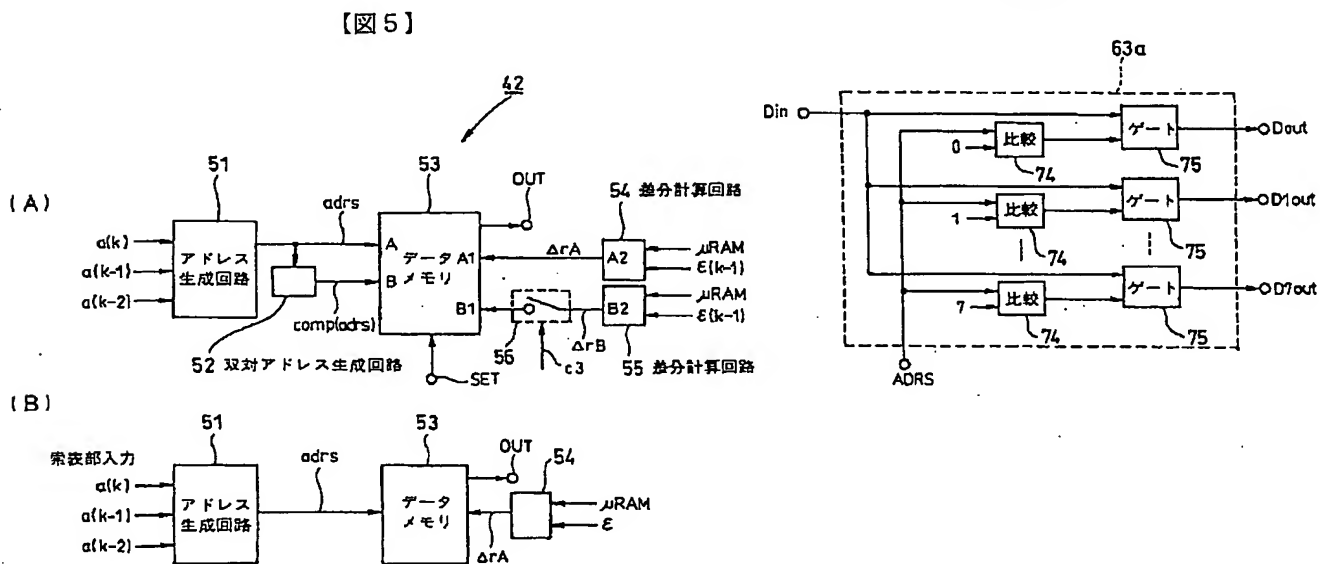
【図 3】



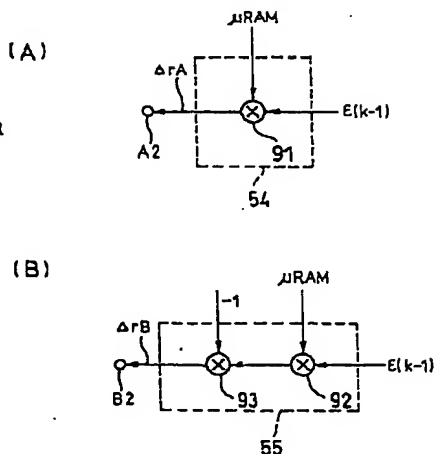
【図 4】



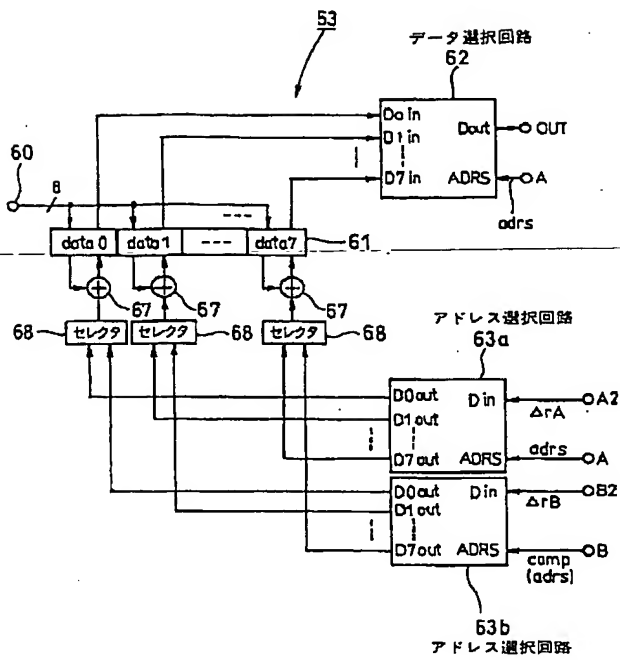
【图 8】



【图 9】

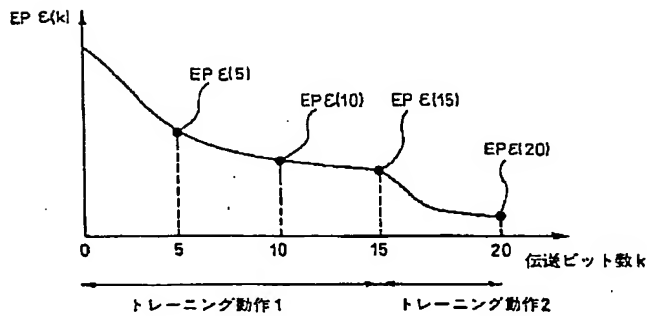


【図6】

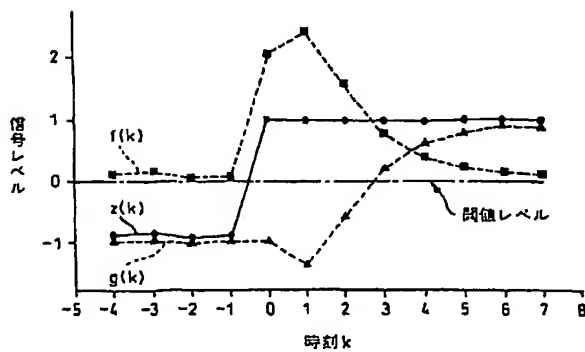


【図11】

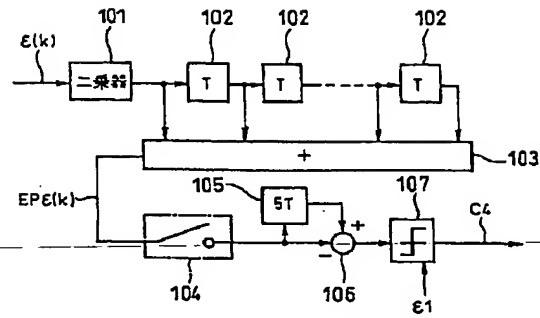
トレーニングビット数と等化誤差電力との関係



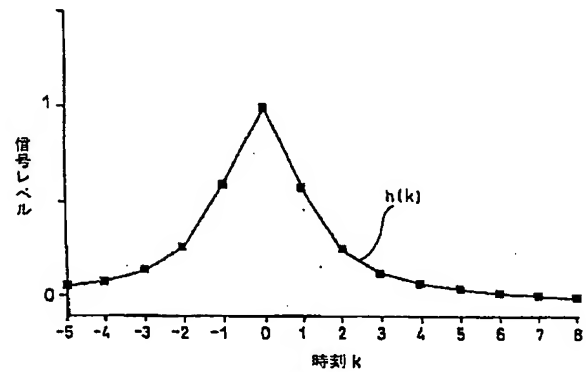
【図13】



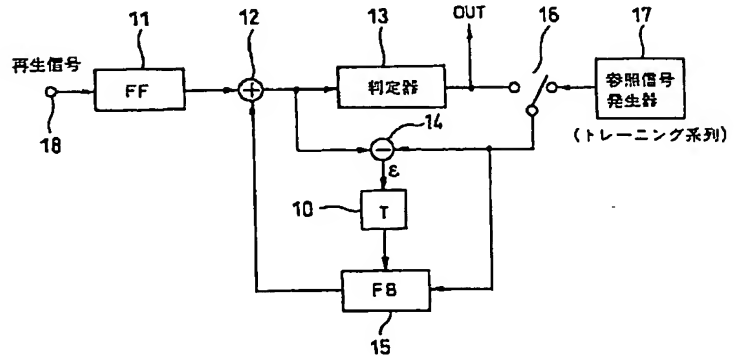
【図10】



【図12】



【図16】



【図14】

(A) トレーニング動作1,2後の最終データ

a(k)	a(k-1)	a(k-2)	adrs	data
-1	-1	-1	0	-0.39
+1	-1	-1	1	-1.04
-1	+1	-1	2	0.19
+1	+1	-1	3	-0.50
-1	-1	+1	4	0.39
+1	-1	+1	5	-0.22
-1	+1	+1	6	0.88
+1	+1	+1	7	0.18

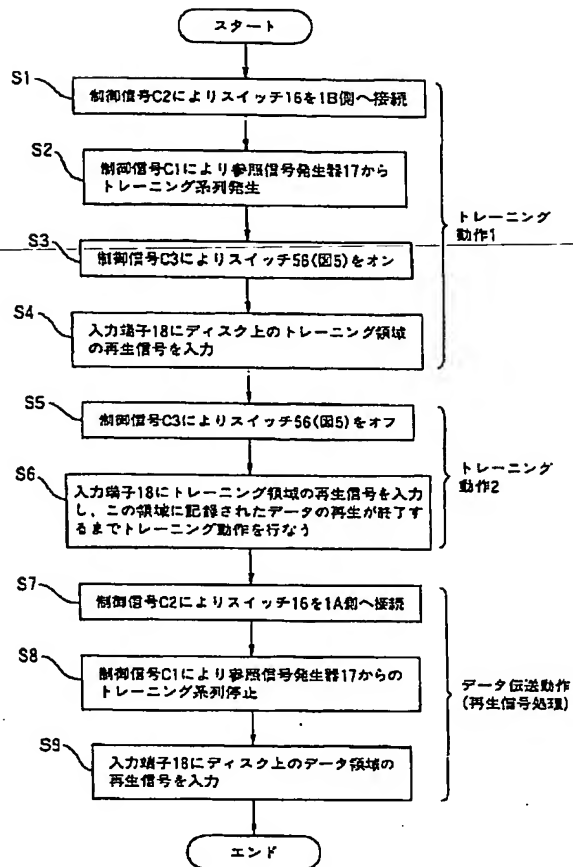
(B) トレーニング動作1,2開始前の初期データ

a(k)	a(k-1)	a(k-2)	adrs	data
-1	-1	-1	0	0.0
+1	-1	-1	1	0.0
-1	+1	-1	2	0.0
+1	+1	-1	3	0.0
-1	-1	+1	4	0.0
+1	-1	+1	5	0.0
-1	+1	+1	6	0.0
+1	+1	+1	7	0.0

(C) トレーニング動作1終了直後のデータ

a(k)	a(k-1)	a(k-2)	adrs	data
-1	-1	-1	0	-0.27
+1	-1	-1	1	-0.95
-1	+1	-1	2	0.21
+1	+1	-1	3	-0.42
-1	-1	+1	4	0.42
+1	-1	+1	5	-0.21
-1	+1	+1	6	0.95
+1	+1	+1	7	0.27

【図15】



【図17】

